

第 92133739 號  
初審引証附件

US counterpart: US 6,070,205  
中華民國專利公報 [19] [12]

[11]公告編號: 448363

[44]中華民國 90 年 (2001) 08 月 01 日

發明

全 16 頁

[51] Int.Cl. 06: G06F13/00

## BEST AVAILABLE COPY

[54]名 稱: 具匯流排調停機制之高速處理器系統

[21]申請案號: 087101481

[22]申請日期: 中華民國 87 年 (1998) 02 月 05 日

[30]優先權: [31]49758

[32]1997/02/17 [33]日本

[31]132800

[32]1997/05/06 [33]日本

[72]發明人: 09-132800

加藤周平

日本 Kato Shuhei

佐野高一

日本 Sano Koichi

[71]申請人:

新世代股份有限公司

日本 SHINSEDAI KK

[74]代理人: 林志誠 先生

1

2

[71]申請專利範圍:

1. 一種建於一單一半導體晶片上的系統，包含有：

複數個匯流排，每一匯流排備有一獨立的位址匯流排、一獨立的數據匯流排和個自的數據傳輸能力；

至少一個匯流排主控器，該匯流排主控器備有複數個直接與該複數個匯流排連接之獨立的匯流排介面，且該獨立的每一匯流排介面與其中之一匯流排連接；以及，

複數個匯流排副控器，每一匯流排副控器有個自的數據傳輸能力，且與具有相對應之數據傳輸能力之該複數個匯流排之一的匯流排連接。

2. 如申請專利範圍第 1 項所述之建於一單一半導體晶片上的系統，其中，該複數個匯流排之每一匯流排有一獨立的實體位址空間，而該實體位址空間被轉換到該匯流排主控器之一單一化的邏輯位址空間的一個區域，且該匯流

排主控器更包含有：

一邏輯位址產生器，用來發出邏輯位址；

一邏輯位址解碼器，用來將所發出的邏輯位址解碼，並且決定所發出的邏輯位址對應到哪一個實體位址空間；以及，

一位址調整器，用來將該發出的邏輯位址轉譯到一對應的匯流排的實體位址。

10. 3. 如申請專利範圍第 1 項所述之建於一單一半導體晶片上的系統，其中，該複數個匯流排中至少有一匯流排備有一相繫的匯流排週期長度控制器，及一獨立的實體位址空間，該實體位址空間分割為複數個實體位址空間區域，且每一實體位址空間區域備有一匯流排週期長度，該匯流排週期長度控制器更包含有：

20. 複數個匯流排週期長度資訊儲存裝

置，每一儲存裝置儲存一個實體位址空間域的匯流排週期長度資訊；

一匯流排週期長度資訊選擇器，依據一個被要求的匯流排存取所對應的實體位址空間區域，用來從該複數個匯流排週期長度資訊儲存裝置，選取某一匯流排週期長度資訊；以及，  
一匯流排週期終了偵測器，依據該匯流排週期長度資訊選擇器選取的匯流排週期長度資訊，用來偵測一匯流排週期是否終了；

其中，該匯流排週期長度控制器依據該被要求的匯流排的存取所對應的實體位址空間區域，來控制該相繫的匯流排的一個匯流排週期的長度。

4.如申請專利範圍第1項所述之建於一單一半導體晶片上的系統，其中，該複數個匯流排副控制器包括較高速度之匯流排副控制器及較低速度之匯流排副控制器，且該複數個匯流排包括有：

一第一匯流排，用來處理匯流排主控器與該較高速度之匯流排副控制器之間的數據傳輸和交換；以及，

一第二匯流排，用來處理匯流排主控器與該較低速度之匯流排副控制器之間的數據傳輸和交換。

5.如申請專利範圍第4項所述之建於一單一半導體晶片上的系統，其中該匯流排主控器為一中央處理器，且該複數個匯流排副控制器至少包括一音效處理器，來執行音效的交易處理，以及產生聲音訊號。

6.如申請專利範圍第5項所述之建於一單一半導體晶片上的系統，其中該複數個匯流排副控制器更包括至少一圖形處理器，來執行圖形學上的交易處理，以及產生影像合成訊號。

7.一種建於一單一半導體晶片上的系統，包含有：  
複數個匯流排，每一匯流排備有一獨

立的位址匯流排、一獨立的數據匯流排和個別的數據傳輸能力；

複數個獨立的匯流排調停器，每一匯流排調停器相繫於該複數個匯流排之其中之一匯流排；

複數個匯流排主控器，每一匯流排主控器備有複數個直接與該複數個匯流排連接之獨立的匯流排介面，且該獨立的每一匯流排介面與其中之一匯流排連接；以及，

複數個匯流排副控制器，每一匯流排副控制器有個別的數據傳輸能力，且與具有相對應之數據傳輸能力之複數個匯流排之一的匯流排連接；

其中，每一匯流排主控器能夠發出一獨立的匯流排要求訊號，以存取一需要的匯流排，且與該需要之匯流排相繫的獨立的匯流排調停器，對該需要之匯流排發出匯流排要求訊號的各匯流排主控器來作調停，並且對這些匯流排主控器之一發出一匯流排應允訊號。

8.如申請專利範圍第7項所述之建於一單一半導體晶片上的系統，其中之複數個獨立的匯流排介面的每一獨立的匯流排介面包含有：

三態緩衝器，用來控制是否將一位址輸出至該連接之匯流排的位址匯流排；

雙向三態緩衝器，用來控制是否將內部數據傳遞至該連接之匯流排的數據匯流排，並且用來控制該數據匯流排上的數據傳送；以及，

一控制裝置，根據相繫的匯流排調停器所發出一匯流排應允訊號，用來控制該三態緩衝器和該雙向三態緩衝器。

9.如申請專利範圍第7項所述之建於一單一半導體晶片上的系統，其中之複數個獨立的匯流排調停器，至少有一匯

流排調停器依據一包含有下列步驟的調停程序，對各匯流排主控器之間來作調停：

接收匯流排要求訊號，該匯流排要求訊號係來自要求存取該相繫之匯流排的匯流排主控器，且每一匯流排要求訊號係由一匯流排主控器並與脈衝週期同步發出；

在目前的匯流排週期終了時，決定哪一個匯流排主控器可以使用下一個匯流排週期；以及，

確保給予被允許使用該下一個匯流排週期的匯流排主控器一個匯流排應允訊號；

其中，該調停程序不浪費任一匯流排週期而完成。

10. 如申請專利範圍第 7 項所述之建於一單一半導體晶片上的系統，該複數個匯流排之每一匯流排備有一獨立的實體位址空間，而該實體位址空間被轉換到該複數個匯流排主控器之中的至少一個匯流排主控器的單一化的邏輯位址空間的一個區域，且該匯流排主控器更包含有：

一邏輯位址產生器，用來發出邏輯位址；

一邏輯位址解碼器，用來將所發出的邏輯位址解碼，並且決定所發出的邏輯位址對應到哪一個實體位址空間；以及，

一邏輯位址調整器，用來將該發出的邏輯位址轉譯到一對應之匯流排的實體位址。

11. 如申請專利範圍第 7 項所述之建於一單一半導體晶片上的系統，其中，該複數個匯流排之至少有一匯流排更備有一相繫的匯流排週期長度控制器，及一獨立的實體位址空間，該實體位址空間分割為複數個實體位址空間區域，且每一實體位址空間區域備有一

匯流排週期長度，該匯流排週期長度控制器更包含有：

複數個匯流排週期長度資訊儲存裝置，每一儲存裝置儲存一個實體位址空間區域之匯流排週期長度資訊；

一匯流排週期長度資訊選擇器，依據一被要求的匯流排存取所對應的位址空間區域，用來從該複數個匯流排週期長度資訊儲存裝置裡選取某一匯流排週期長度資訊；以及，

一匯流排週期終了偵測器，依據該匯流排週期長度資訊選擇器選取的匯流排週期長度資訊，用來偵測一匯流排週期是否終了；

其中，該匯流排週期長度控制器依據該被要求的匯流排存取所對應的位址空間區域，來控制該相繫的匯流排之一個匯流排週期的長度。

12. 如申請專利範圍第 7 項所述之建於一單一半導體晶片上的系統，其中，每一獨立的匯流排調停器更包含有：

複數個優先順位資訊儲存裝置，每一儲存裝置儲存一組優先順位資訊，含有對所有匯流排主控器之存取優先順位的分配；

一優先順位資訊選擇器，依連續循環方式，從該優先順位資訊儲存裝置，選出每一組的優先順位資訊，每一組的優先順位資訊在一匯流排週期內被選出；以及，

一匯流排應允產生器，依據該優先順位資訊選擇器選出的優先順位資訊，來發出一匯流排應允訊號給予已經發出匯流排要求訊號的所有匯流排主控器中具有最高優先順位的匯流排主控器；

其中，該最高優先順位的匯流排主控器允許擁有一匯流排週期去存取該相繫的匯流排。

40. 13. 如申請專利範圍第 12 項所述之建於一

單一半導體晶片上的系統，其中之複數個獨立的匯流排調停器，至少有一匯流排調停器依據一包含有下列步驟的調停程序，對各匯流排主控器之間來作調停：

接收匯流排要求訊號，該匯流排要求訊號係來自要求存取該相繫之匯流排的匯流排主控器，且每一匯流排要求訊號係由一匯流排主控器並與脈衝週期同步發出；

依據該組被選出的優先順位資訊，在目前的匯流排週期終了時，決定哪一個匯流排主控器可以使用下一個匯流排週期；以及，

確保給予被允許使用該下一個匯流排週期的匯流排主控器一個匯流排應允訊號。

14.如申請專利範圍第12項所述之建於一單一半導體晶片上的系統，其中，儲存於該複數個優先順位資訊儲存裝置裡的每一組優先順序資訊為固定的。

15.如申請專利範圍第12項所述之建於一單一半導體晶片上的系統，其中，儲存於該複數個優先順位資訊儲存裝置裡的每一組優先順位資訊為可程式化的。

16.如申請專利範圍第12項所述之建於一單一半導體晶片上的系統，其中，每一獨立的匯流排調停器更包含一固定/可程式化交換裝置，並且，以下列裝置取代該複數個優先順位資訊儲存裝置：

複數個固定優先順位資訊儲存裝置，每一儲存裝置儲存一組固定優先順位資訊，含有對所有匯流排主控器之存取優先順位的分配；

複數個可程式化優先順位資訊儲存裝置，每一儲存裝置儲存一組可程式化優先順位資訊，含有對所有匯流排主控器之存取優先順位的分配；

其中，該固定/可程式化交換裝置選擇固定優先順位資訊儲存裝置或是可程式化優先順位資訊儲存裝置，以提供優先順位資訊。

5. 17.如申請專利範圍第15項所述之建於一單一半導體晶片上的系統，該複數個匯流排之每一匯流排備有一獨立的實體位址空間，且該複數個匯流排主控器中至少有一匯流排主控器更包含有：

10. 一單一化的邏輯位址空間，每一匯流排的實體位址空間被轉換到給一匯流排主控器之該單一化的邏輯位址空間的一個區域；

15. 一邏輯位址產生器，用來發出邏輯位址；

一邏輯位址解碼器，用來將所發出的邏輯位址解碼，並且決定所發出的邏輯位址對應到哪一個實體位址空間；

20. 以及，  
一邏輯位址調整器，用來將該發出的邏輯位址轉譯到一對應之匯流排的實體位址。

18.如申請專利範圍第15項所述之建於單一半導體晶片上的系統，其中，該複數個匯流排之至少有一匯流排更備有一相繫的匯流排週期長度控制器，及一獨立的實體位址空間，該實體位址空間分割為複數個實體位址空間區域，且每一實體位址空間區域備有一匯流排週期長度，該匯流排週期長度控制器更包含有：

30. 複數個匯流排週期長度資訊儲存裝置，每一匯流排週期長度資訊儲存裝置儲存一個實體位址空間區域之匯流排週期長度資訊；

35. 一匯流排週期長度資訊選擇器，依據一匯流排存取所對應的位址空間區域，用以從該複數個匯流排週期長度資訊儲存裝置裡選取某一匯流排週期

長度資訊；以及，

一匯流排週期終了偵測器，依據該匯流排週期長度資訊選擇器選取的匯流排週期長度資訊，用來偵測一匯流排週期是否終了；

其中，該匯流排週期長度控制器依據該匯流排存取所對應的位址空間區域，來控制該相繫的匯流排之一匯流排週期的長度。

19.如申請專利範圍第15項所述之建於一單一半導體晶片上的系統，其中，該複數個匯流排包括有：

一第一匯流排，用來處理匯流排主控器與較高速度之匯流排副控器之間的數據傳輸和交換；以及，

一第二匯流排，用來處理匯流排主控器與較低速度之匯流排副控器之間的數據傳輸和交換；

且，該複數個獨立的匯流排調停器包括有：

一第一匯流排調停器，用來調停該第一匯流排的存取；以及，

一第二匯流排調停器，用來調停該第二匯流排的存取。

20.如申請專利範圍第19項所述之建於一單一半導體晶片上的系統，其中之複數個匯流排主控器包括有：

至少一中央處理器；以及，

至少一音效處理器，用來執行音效的交易處理和產生聲音訊號。

21.如申請專利範圍第20項所述之建於一單一半導體晶片上的系統，其中之複數個匯流排主控器包括有：

至少一圖形處理器，用來執行圖形學上的交易處理和產生影像合成訊號。

圖式簡單說明：

第一圖係用於個人電腦上的一種階層式的匯流排系統。

第二圖係利用串鏈調停方法實施之一傳統匯流排調停系統。

第三圖係利用備有優先編碼/解碼器之並列調停方法實施之一傳統匯流排調停系統。

5. 第四圖係本發明之高速處理器系統之系統概念圖。

第五圖係本發明之匯流排調停系統的一個實施例的概念圖。

10. 第六圖係本發明之匯流排調停系統的另一個實施例的概念圖。其中，儲存於優先順位資訊儲存裝置之優先順位資訊是可程式化的。

15. 第七圖係本發明之匯流排調停系統的另一個實施例的概念圖。其中，可選擇的固定的及可程式化之優先順位資訊係儲存於優先順位資訊儲存裝置。

第八圖係本發明之具匯流排調停機制之高速處理器系統的一個實施例。

20. 第九圖係依據本發明之中央處理單元的區塊示意圖。

第十圖係依據本發明之中央處理單元的邏輯位址空間的記憶體轉換模式1。

25. 第十一圖係依據本發明之中央處理單元的邏輯位址空間的記憶體轉換模式2。

第十二圖係第九圖來自中央處理單元之第一匯流排存取程序的時序圖的一個例子。

30. 第十三圖係第九圖來自中央處理單元之第二匯流排存取程序的時序圖的一個例子。

第十四圖依據本發明之第一匯流排調停器的區塊示意圖。

35. 第十五圖係第十四圖之第一匯流排調停器的優先順位資訊的安排的一個例子。

第十六圖係第十五圖之每一匯流排的優先順位資訊的分配的一個例子。

40. 第十七圖係第十四圖中第一匯流排調停器之匯流排調停程序的時序圖的一

個例子。

第十八圖係第十四圖中第一匯流排調停器之匯流排調停程序的時序圖的另一個例子。

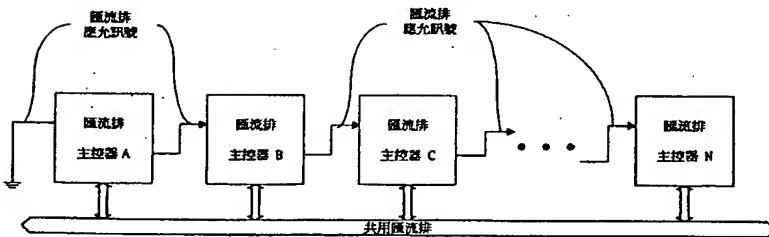
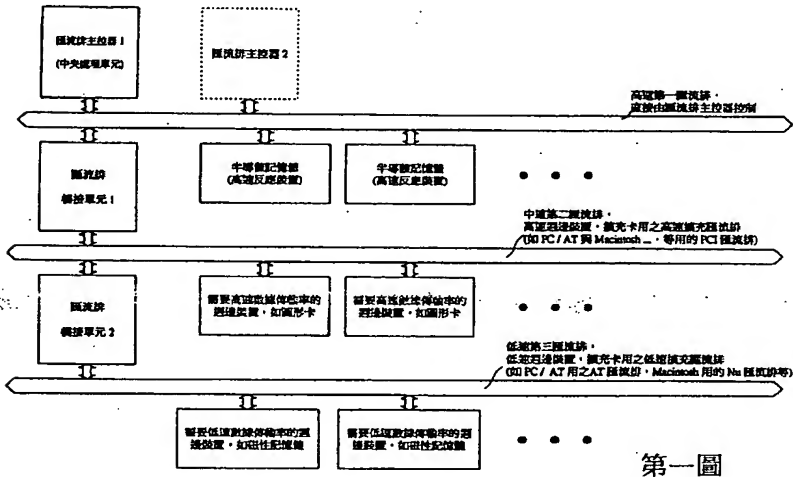
第十九圖係依據本發明之第二匯流排調停器的區塊示意圖。

第二十圖係本發明之一匯流排週期

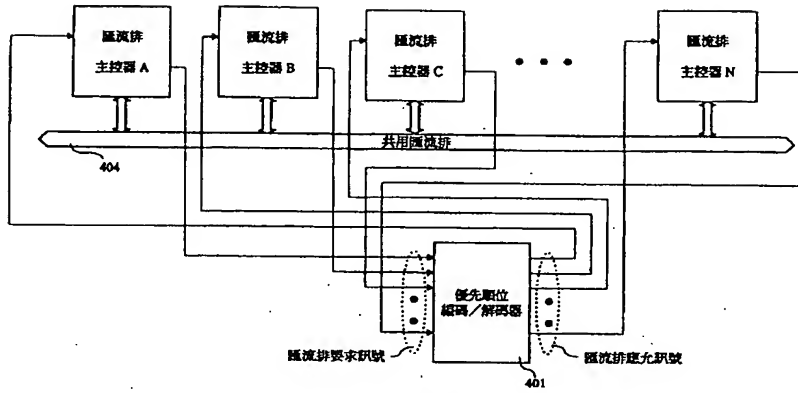
長度控制器的區塊示意圖。

第二十一圖係第十九圖中第二匯流排調停器之匯流排調停程序的時序圖的一個例子。

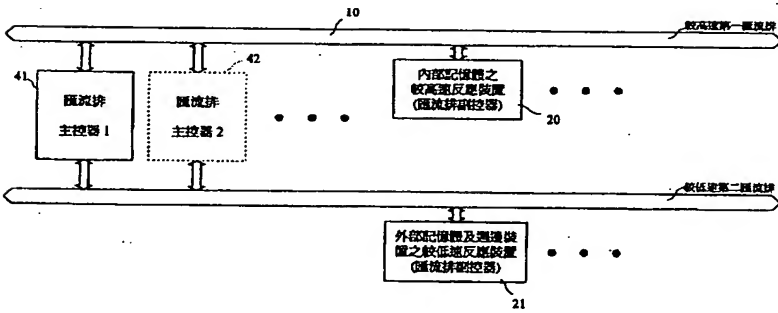
5. 第二十二圖係第十九圖之第二匯流排調停器的優先順位資訊的安排的一個例子。



(7)

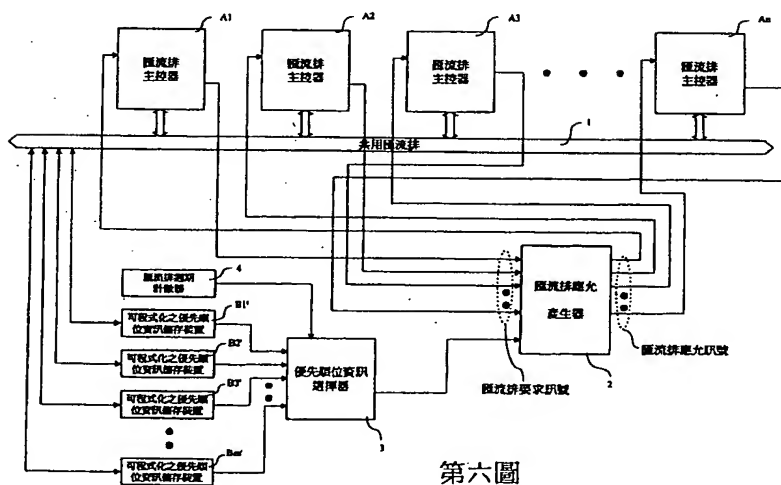
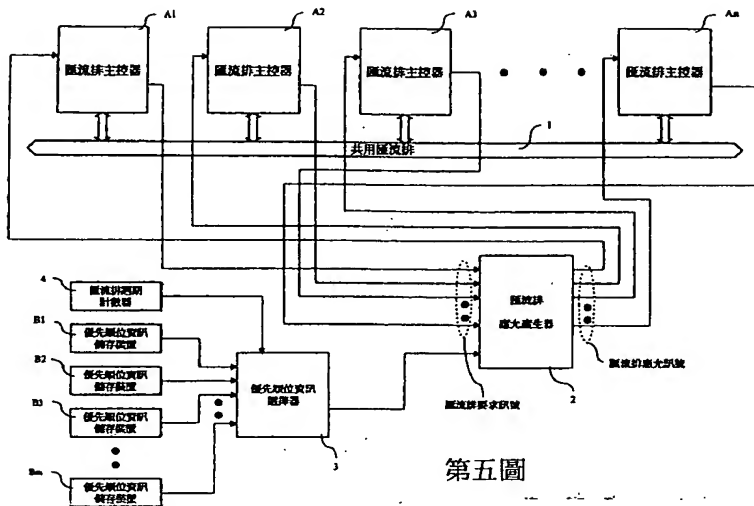


第三圖



第四圖

(8)



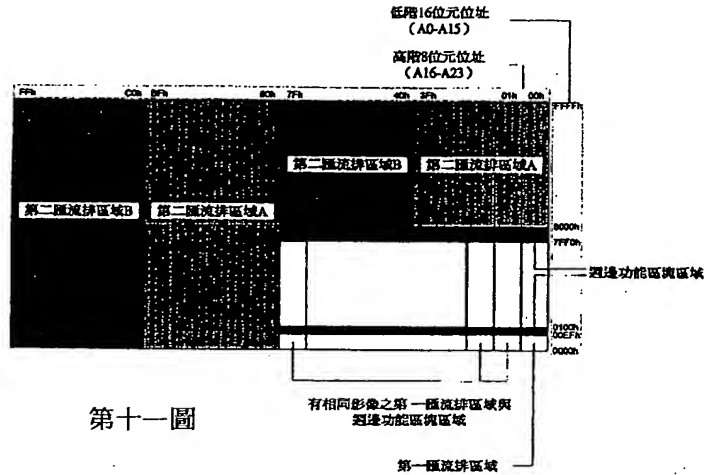


(9)

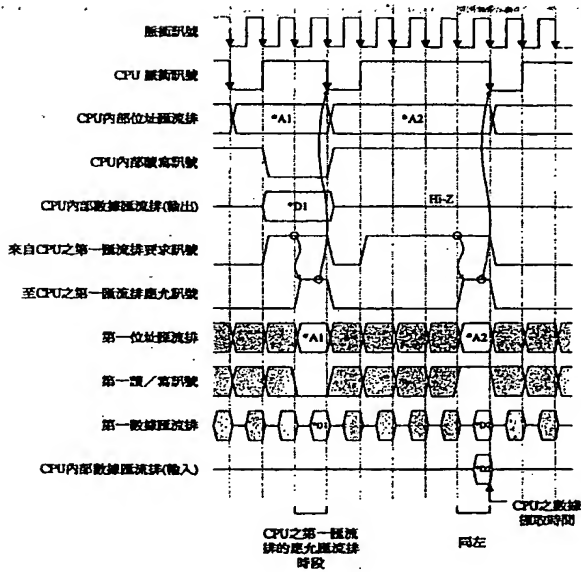




(11)



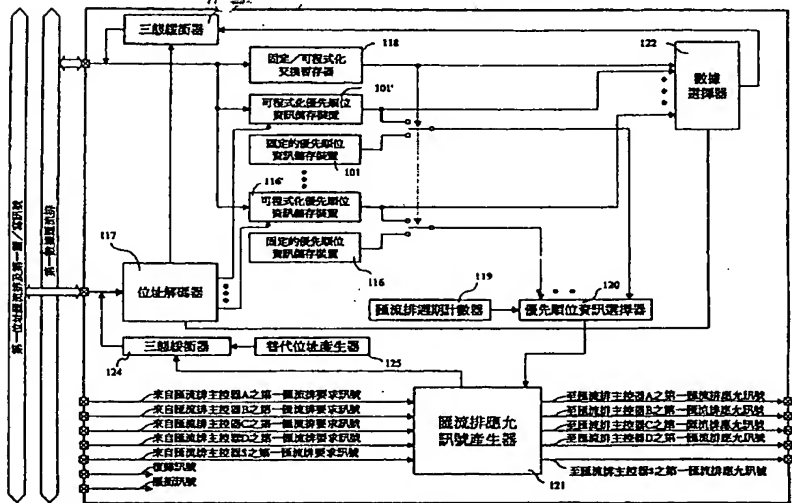
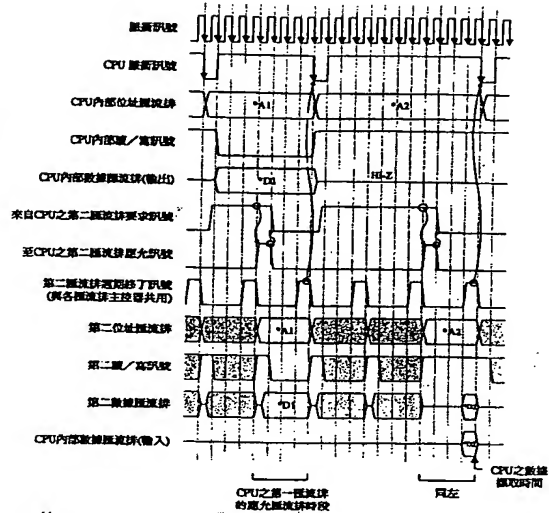
第十一圖



第十二圖

(12)

第十三圖



第十四圖

(13)

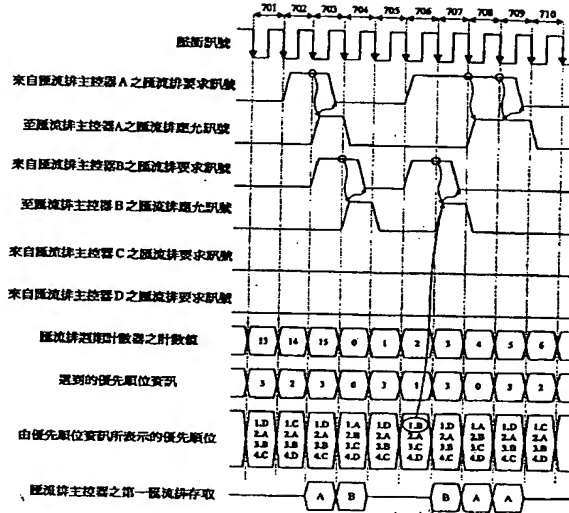
匯流排週期計數器 之計數值	優先順位資訊
0	0
1	3
2	1
3	3
4	0
5	3
6	2
7	3
8	0
9	3
10	2
11	3
12	0
13	3
14	2
15	3

第十五圖

優先順位資訊	第一優先順位	第二優先順位	第三優先順位	第四優先順位
0	匯流排主控器A	匯流排主控器B	匯流排主控器C	匯流排主控器D
1	匯流排主控器B	匯流排主控器A	匯流排主控器C	匯流排主控器D
2	匯流排主控器C	匯流排主控器A	匯流排主控器B	匯流排主控器D
3	匯流排主控器D	匯流排主控器A	匯流排主控器B	匯流排主控器C

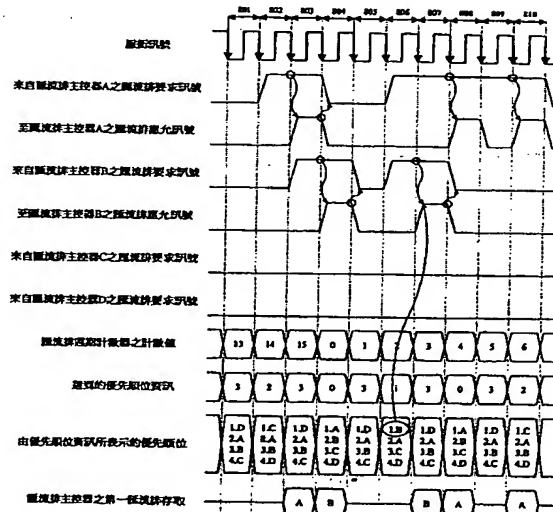
第十六圖

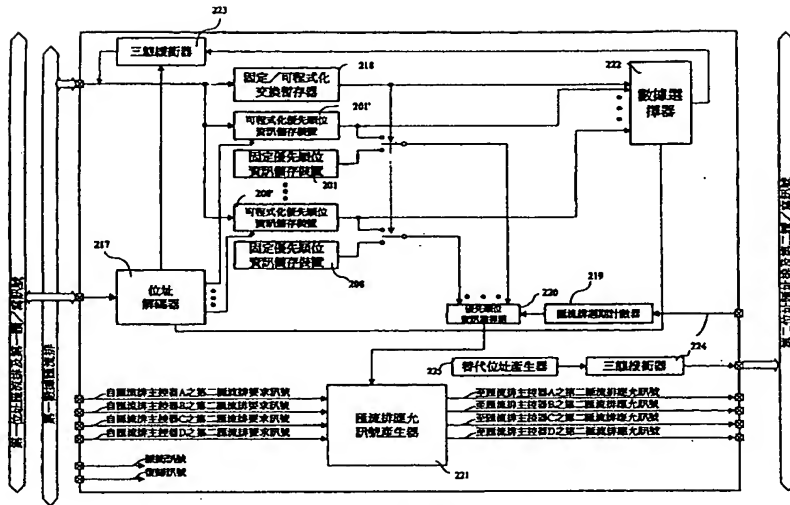
(14)



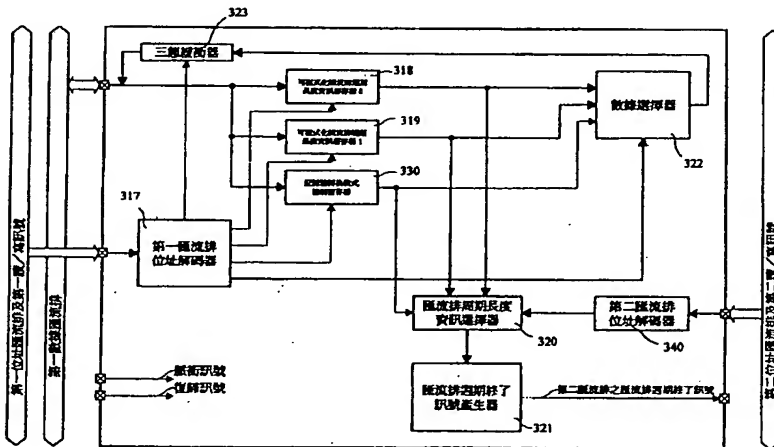
第十七圖

第十八圖



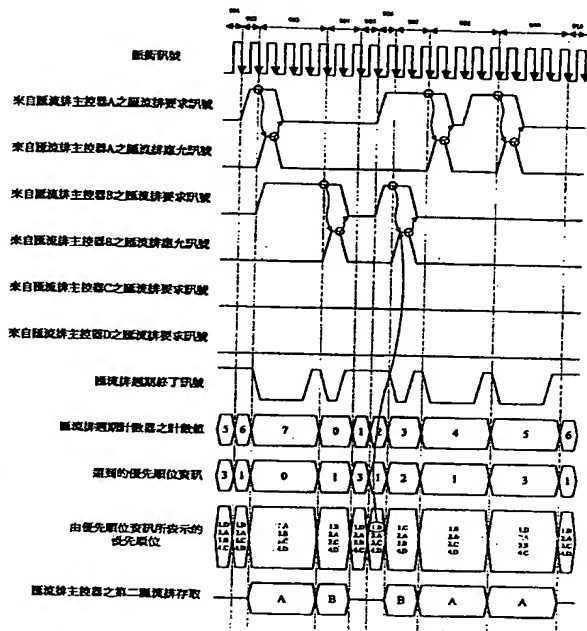


第十九圖



第二十圖

第二十一圖



匯流排週期計數器之計數值	優先順位資訊
0	1
1	3
2	1
3	2
4	1
5	3
6	1
7	0

第二十二圖



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**